

(1) Japanese Patent Application Laid-Open No. H8-031769 (1996)

The following is English translation of an extract from the above-identified documents relevant to the present application.

At sputtering to clad metal selectively using a mask, when the aspect ratio of a mask opening is large, the amount of metal cladded on the opening base is reduced. To solve the problem, a collimate sputtering method has been devised. With a collimate sputtering method, by seating a collimator between the target for sputtering and the substrate and uniforming the flight direction of sputtered metal grain, sufficient metal can be cladded onto the opening base with a large aspect ratio.

By cladding metal on a fine opening base by a collimate sputtering method and heating thereof, silicon exposed-face which is exposed on the opening base is silicidized, and conductive wiring region can be formed.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-31769

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.[°]
H01L 21/285
C23C 14/34
H01L 21/203

識別記号
S
301 T
U 8939-4K
S 9545-4M

F I

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21)出願番号 特願平6-166570

(22)出願日 平成6年(1994)7月19日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者 高木 英雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 大田 譲
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 岡崎 圭輔
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人 弁理士 井桁 貞一

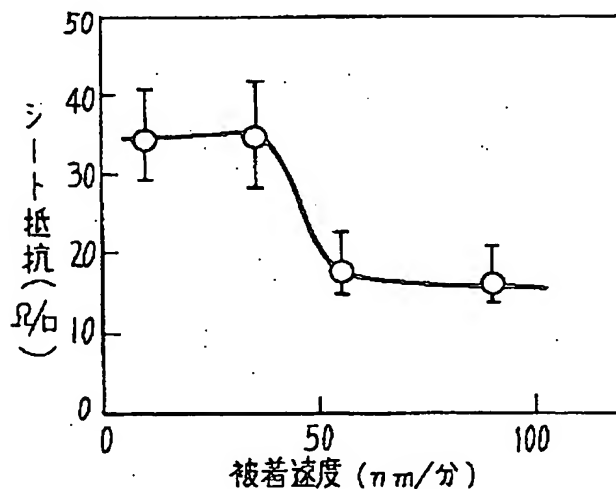
(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【目的】 サリサイドをコリメータスパッタ法により形成する方法に関し、狭い開口部に低抵抗のシリサイドを形成することを目的とする。

【構成】 基板上にシリコン表出面を表出する開口を有するマスクを形成し、次いで基板上にコリメイトスパッタ法を用いて金属を被着した後、加熱して、シリコン表出面にシリサイド層を形成するサリサイドにおいて、金属を、シリサイド層のシート抵抗が金属の被着速度を増加するとき急に低下し始める臨界被着速度より速い被着速度で被着する。

本発明の原理説明図



【特許請求の範囲】

【請求項 1】 基板上に、シリコン表出面を表出する開口を有するマスクを形成し、次いで該基板上にコリメートスパッタ法を用いて金属を被着した後、加熱して、該シリコン表出面に該金属のシリサイド層を形成する工程を有する半導体装置の製造方法において、該金属を、該シリサイド層のシート抵抗が該金属の被着速度を増加するとき急に低下し始める臨界被着速度より速い被着速度で被着することを特徴とする半導体装置の製造方法。

【請求項 2】 基板上に、シリコン表出面を表出する開口を有するマスクを形成し、次いで該基板上にコリメートスパッタ法を用いて金属を被着した後、加熱して、該シリコン表出面に該金属のシリサイド層を形成する工程を有する半導体装置の製造方法において、該金属をチタンとし、該金属の被着速度を 50nm/分以上とすることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、該金属をチタンに代えてコバルトとし、該金属の被着速度を 10nm/分以上とすることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1、請求項 2 又は請求項 3 記載の半導体装置の製造方法において、該マスクの少なくとも 1 の開口の幅が 0.5 μm 以下であることを特徴とする半導体装置の製造方法。

【請求項 5】 基板上に、互いに 0.5 μm 以下の間隔において設けられた複数のゲート電極と、該ゲート電極側面に形成された絶縁性の側壁と、該ゲート電極の間に形成され、ソース領域又はドレイン領域を構成する高濃度不純物領域と、該高濃度不純物領域の表面に形成されたシリサイド層とを有する半導体装置の製造方法において、該シリサイド層を、該側壁を有する該ゲート電極を該マスクとして請求項 4 記載の半導体装置の製造方法により形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に細線状開口部に低抵抗のシリサイドを、コリメートスパッタ法を用いたシリサイド法により形成する方法に係わる。

【0002】 シリコン表出面に高融点金属をスパッタにより被着し、その後熱処理してシリコン表出面にシリサイドを形成する方法は、シリサイド法として知られ、半導体装置の配線領域を低抵抗化するために広く用いられている。

【0003】 しかし、素子の微細化に伴い、細いシリサイド領域を形成する必要があるが増加している。このため、狭くかつアスペクト比が大きな開口を有するマスクを用いて、その開口の底に金属を堆積し得るコリメートスパッタ法が必要とされている。

【0004】 そこで、コリメートスパッタ法を用いて、

細くかつ低抵抗のシリサイド領域を形成することができるシリサイド法が強く求められている。

【0005】

【従来の技術】 マスクを用いて選択的に金属を被着するスパッタでは、マスク開口のアスペクト比が大きくなると開口底面への金属の被着量が減少する。この問題を解決すべく、コリメートスパッタ法が考案された。コリメートスパッタ法では、例えば特開平 5-326426、特開昭 63-310965 に開示されており、スパッタターゲットと基板との間にコリメータを設けてスパッタされた金属粒子の飛翔方向を揃えることにより、アスペクト比の大きな開口の底面に金属を十分に被着することができる。

【0006】 従って、コリメートスパッタ法により細い開口の底に金属を被着し、これを加熱することで開口底面に表出するシリコン表出面をシリサイド化し、導電性の配線領域を形成することができる。以下、かかる従来の方法を実施例を参照して説明する。

【0007】 図 4 は従来の実施例トランジスタ平面図であり、ソース領域を共有し、ゲート電極が互いに近接して設けられた 2 つのトランジスタを表している。図 4 を参照して、2 つのゲート電極 3 が平行に狭い間隔をおいて設けられる。この 2 つのゲート電極 3 の間の領域は高濃度不純物領域 2 であり、ソース領域 2a を構成する。2 つのゲート電極 3 の外側は同じく高濃度不純物領域 2 であり、ドレイン領域 2b を構成する。ソース領域 2a 及びドレイン領域 2b にはそれぞれコンタクトホール 1 が設けられ、配線に接続される。

【0008】 かかるトランジスタでは、ソース領域 2 が細く長いので、ソース抵抗が大きくなり、トランジスタの特性を劣化させる。このため、ソース領域 2a、さらにはドレイン領域 2b の表面にシリサイド層を形成してソース抵抗、又はドレイン抵抗を低減する方法が採用されている。

【0009】 図 5 は従来の実施例断面工程図であり、図 4 に示すトランジスタの AB 断面を表している。先ず、図 5 (a) を参照して、シリコン基板 10 の表面に絶縁性の側壁 4 を有する 2 つのポリシリコンゲート電極 3 を形成する。またゲート電極 3 をマスクとする、及び側壁 4 を有するゲート電極 3 をマスクとするイオン注入により、ソース領域 2a 及びドレイン領域 2b を構成する高濃度不純物領域を形成する。

【0010】 次いで、図 5 (b) を参照して、基板 10 上全面にコリメートスパッタ法により金属 5 を被着する。このとき、シリコン基板が表出するソース領域 2a 及びドレイン領域の表面は、直接この金属 5 が被着する。

【0011】 次いで、熱処理して、シリコン基板 10 と金属 5 とが直接接触するソース領域 2a 及びドレイン領域の表面に、シリコン基板 10 と金属 5 との反応により

生じたシリサイド層 6 を形成する。なお、シリコンゲート電極 3 の上面にも同様にシリサイド層 6 a が形成される。

【0012】 上述した工程により、ゲート電極 3 間のソース領域 2 a 表面に導電性のシリサイド層 6 が形成される。しかし、従来のコリメートスパッタ法を用いたサリサイド法では、ゲート電極 3 の間隔が狭くなると、即ち一般には、形成すべきシリサイド層 6 の幅が狭くなると、シリサイド層 6 のシート抵抗が上昇するという問題があった。

【0013】 1

【発明が解決しようとする課題】 上述したように、従来のコリメートスパッタ法を用いたサリサイド法によりシリサイド層を形成する半導体装置の製造方法では、シリサイド層の幅が狭いときシート抵抗が大きくなるという問題があった。

【0014】 本発明は、コリメートスパッタ法における金属被着を、速い被着速度で行うことで、狭いシリサイド層を形成する場合でもシリサイド層のシート抵抗の上昇を防止し、細くかつシート抵抗の小さなシリサイド層をサリサイド法により形成する半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】 図 1 は本発明の原理説明図であり、シリサイド層のシート抵抗とスパッタにおける金属被着速度との関係を表している。

【0016】 図 2 は本発明の実施例断面工程図であり、ソース領域を共有し、ゲート電極が互いに近接して設けられた 2 つのトランジスタを表している。上述した課題を解決するための本発明の第一の構成は、図 1 及び図 2 を参照して、基板 10 上に、シリコン表出面 10 a を表出する開口 9 a を有するマスク 9 を形成し、次いで該基板 10 上にコリメートスパッタ法を用いて金属 5 を被着した後、加熱して、該シリコン表出面 10 a に該金属 5 のシリサイド層 6 を形成する工程を有する半導体装置の製造方法において、該金属 5 を、該シリサイド層 6 のシート抵抗が該金属 5 の被着速度を増加するとき急に低下し始める臨界被着速度より速い被着速度で被着することを特徴として構成し、及び、第二の構成は、図 2 を参照して、基板 10 上に、シリコン表出面 10 a を表出する開口 9 a を有するマスク 9 を形成し、次いで該基板 10 上にコリメートスパッタ法を用いて金属 5 を被着した後、加熱して、該シリコン表出面 10 a に該金属 5 のシリサイド層 6 を形成する工程を有する半導体装置の製造方法において、該金属 5 をチタンとし、該金属 5 の被着速度を 50 nm/分以上とすることを特徴として構成し、及び、第三の構成は、図 2 を参照して、第二の構成の半導体装置の製造方法において、該金属 5 をチタンに代えてコバルトとし、該金属 5 の被着速度を 10 nm/分以上とすることを特徴として構成し、及び、第四の構成は、

図 2 を参照して、第一、第二又は第三の構成の半導体装置の製造方法において、該マスク 9 の少なくとも 1 の開口 9 a の幅が 0.5 μ m 以下であることを特徴として構成し、及び、第五の構成は、基板 10 上に、互いに 0.5 μ m 以下の間隔をおいて設けられた複数のゲート電極 3 と、該ゲート電極 3 側面に形成された絶縁性の側壁 4 と、該ゲート電極 3 の間に形成され、ソース領域又はドレイン領域を構成する高濃度不純物領域 2 と、該高濃度不純物領域 2 の表面に形成されたシリサイド層 6 とを有する半導体装置の製造方法において、該シリサイド層 6 を、該側壁 4 を有する該ゲート電極 3 を該マスク 9 として第四の構成の半導体装置の製造方法により形成することを特徴とする半導体装置の製造方法。

【0017】

【作用】 本発明は、図 2 を参照して、従来、半導体装置の製造工程において通常用いられているサリサイド法、即ち、シリコン表出面 10 a を表出する開口 9 a を有するマスク 9 をスパッタ用マスクとして用い、金属 5 をコリメートスパッタ法により堆積した後、加熱して、開口 9 a 底面に表出するシリコン表出面 10 a に該金属 5 との反応で生じたシリサイド層 6 を形成するサリサイド法の改良に関する。

【0018】 本発明の発明者は、マスク 9 の開口 9 a の幅が狭い場合について、コリメートスパッタの被着速度に臨界速度が存在し、金属 5 の堆積速度がその臨界速度を超えると形成されるシリサイド層 6 のシート抵抗が低くなることを実験により明らかにした。

【0019】 図 1 は、図 4、及び図 5 に示す従来の実施例において説明した側壁を備えた 2 つのゲート電極 3 を有する半導体装置について、コリメートスパッタ法により金属 5 を被着するときの被着速度を変えて製造した場合に、2 のゲート電極 3 の間に形成されたシリサイド層 6 のシート抵抗の変化を測定した結果である。なお、図 1 は金属 5 としてチタン (Ti) をコリメートスパッタした結果である。また、2 つのゲート電極 3 は、2 つのゲート電極 3 の対向面に形成された側壁 4 の底面間に、0.3 μ m のシリコン表出面 10 a を表出する距離をおいて設けた。従って、0.3 μ m 幅のストライプ状シリサイド層 6 がゲート電極 3 の間に形成された。

【0020】 図 1 を参照して、シリサイド層 6 のシート抵抗は、被着速度が 40 nm/分以下では略 30 Ω /□付近の一定値となる。この値は、幅の広い、例えば 0.5 μ m 以上の幅のシリサイド層のシート抵抗 5 Ω /□よりかなり大きい。他方、被着速度が 50 nm/分以上では、シリサイド層 6 のシート抵抗は略 15 Ω /□に低下する。

【0021】 この結果は、サリサイド法により形成されるシリサイド層のシート抵抗は、金属をコリメートスパッタ法により被着するときの被着速度に依存すること、かつその被着速度には、その速度を超えた場合に階段状

にシート抵抗が低下する臨界速度が存在することを明示している。

【0022】本発明は、かかる結果に基づき考案された。本構成では、コリメイトスパッタの金属被着速度を、上述した臨界速度より高速とする。従って、マスクの開口幅が狭い場合、即ち細いシリサイド層を形成する場合でも、低抵抗のシリサイド層を形成することができる。なお、コリメイトスパッタの金属被着速度を大きくするためにプラズマ又は加速粒子の励起エネルギーを大きくすることは、シリコン表出面及びその他の表出面にダメージを与えるおそれがある。従って、被着速度は小さいことが望ましく、臨界速度を僅か超える速度でなされることが好ましい。

【0023】かかる臨界速度は例えば、チタン (Ti) については図1のように略50nm/分、コバルト (Co) については略10nm/分である。他の金属、特に高融点金属についても臨界速度を有するものに本発明を適用できる。

【0024】さらに、本発明はマスクの開口幅、即ちシリサイド層の幅が0.5 μ m以下の場合に大きな効果を奏する。即ち、従来の方法では、特にマスクの開口幅が0.5 μ m以下の場合にシリサイド層のシート抵抗の増加が大きい。これに対して、本発明を適用した場合は、マスクの開口幅が0.5 μ m以下の場合でもシート抵抗の増加は緩やかだからである。

【0025】本発明の第五の構成は、図2(a)及び(c)を参照して、0.5 μ m以下の間隔において設けられたゲート電極3の間にシリサイド層6を形成する工程に上述した本発明の方法を適用したものである。

【0026】本構成では、側壁4が設けられたゲート電極3をコリメイトスパッタ用のマスクとして利用する。このゲート電極3の側壁4の間に表出するシリコン表出面10aは、0.5 μ m以下の幅のストライプ状をなす。ここに、第一～第四の構成にかかる本発明を適用して、ゲート電極3間の幅が狭い領域に低抵抗のシリサイド層6を形成する。このゲート電極3間の領域は、ソース領域2a又はドレイン領域2bとして高濃度不純物領域2となっている。従って、ゲート電極3間の狭い高濃度不純物領域2にも低抵抗の導電領域を形成することができるから、ソース抵抗及びドレイン抵抗が小さなトランジスタを形成することができる。

【0027】

【実施例】本発明の詳細を実施例を参照して説明する。本実施例は、従来例の説明で既述した図4に示す構造の、2つのトランジスタからなる半導体素子を含む半導体装置の製造方法に関する。

【0028】先ず、図2(a)を参照して、シリコン基板10表面を厚さ300nmの酸化膜からなる分離層7により分離して形成した分離領域上に、厚さ7nmのゲート酸化膜を設けて、その上に2つのゲート電極3を形成す

る。このゲート電極3は、図4を参照して、チャンネル形成部分は、例えば0.45 μ mの狭い間隔において互いに平行に配置され、配線部分はソース領域2aのコンタクトホール11を避けてそのコンタクトホール11の両側に広がるように配置される。なお、ゲート電極3は、例えば厚さ0.2 μ mのポリシリコンで形成することができる。これらは、通常の半導体装置の製造工程と同じである。

【0029】次いで、通常の半導体装置の製造と同様に、図2(a)及び図4を参照して、ゲート電極3をマスクとし、基板10と反対導電型の不純物を分離領域にイオン注入して、低濃度の浅い不純物領域をゲート電極3直下を除く基板10表面に形成する。

【0030】次いで、基板10上全面に絶縁物を堆積し、全面を反応性イオンエッチングすることで、絶縁性の側壁4をゲート電極3の両側壁に形成する。このとき、ゲート電極3の対向面に形成された側壁4の間に、基板10が表出したシリコン表出面10aが露出される。

【0031】次いで、ゲート電極3及び側壁4をマスクとし、基板10と反対導電型の不純物を分離領域内にイオン注入して、高濃度の深い不純物領域をゲート電極3及び側壁4の直下を除く基板10表面に形成する。高濃度不純物領域2は、これら低濃度で浅い不純物領域及び高濃度で深い不純物領域からなり、そのうちの2つのゲート電極3に挟まれた領域がソース領域2aとして、2つのゲート電極3の外側に形成された領域がドレイン領域2bとして機能する。ついで850 $^{\circ}$ C、10分間の活性化アニールを行う。

【0032】次いで、希弗酸を用いたエッチング処理により、ソース領域2a及びドレイン領域2bに表出するシリコン表出面10aの表面を清浄する。その後、図2(b)を参照して、金属5として例えば厚さ30nmのチタンをコリメイトスパッタにより被着する。堆積条件は、プラズマガスをAr、スパッタ圧力を0.67Pa、プラズマ励起電力を2.3kWとし、このとき被着速度50nm/分であった。なお、コリメイトスパッタ装置は通常の半導体装置の製造に用いられる良く知られたものを用いた。

【0033】次いで、窒素雰囲気中で700 $^{\circ}$ C、30秒間の急速熱処理(Rapid Thermal Annealing)を行い、シリコン表出面10aに接触する金属5をシリサイド化して、図2(c)を参照して、高濃度不純物領域2表面にシリサイド層6を形成する。なお、このときゲート電極3の上面にもシリサイド層6が形成される。次いで、未反応の金属5をエッチングにより除去する。エッチングは、チタンについては硝酸水溶液と過酸化水素水との混合液をエッチャントして行うことができる。その後、再び窒素雰囲気中で800 $^{\circ}$ C、30秒間の急速熱処理を行う。

【0034】次いで、図2(d)を参照して、平坦な層間絶縁膜12を堆積し、図4及び図2(d)を参照して、コンタクトホール11をソース領域2a及びドレイン領域2b上の層間絶縁膜12に開口する。ついで、図2(d)を参照して、コンタクトホールを埋め込む配線材料、例えば50nmの窒化チタン上に200nmのタンゲステンを被着して、パターニングし、ソース領域2a及びドレイン領域2bに接続する配線を形成する。

【0035】図3は本発明の効果説明図であり、シリサイド層のシート抵抗について、本発明を適用した場合と従来の方法による場合とを比較したものである。図3(a)中、本発明を適用した場合をイで、従来の方法による場合をロで表した。なお、横軸のゲート間距離とは、本発明の実施例のゲート電極近傍の断面図を表した図3(b)を参照して、平行に配したゲート電極3間相互の距離を表す。従って、そのゲート電極3間に形成されるシリサイド層6の幅は、ゲート間距離より側壁の厚さ分だけ狭い。

【0036】図3(a)を参照して、従来の場合は、イを参照して、ゲート間距離が0.75 μ m以下では急にシート抵抗が増加する。これに対して、本発明による場合は、ロを参照して、ゲート間距離が0.5 μ m以下であっても、ゲート間距離が広いときの略1.5倍にしかシート抵抗は増加しない。従って、本発明によれば、狭いシリサイド層であっても、常に安定して低抵抗のシート抵抗を実現することができる。

【0037】

【発明の効果】 上述したように本発明によれば、コリメ

ートスパッタの被着速度が速いシリサイド法を用いてシリサイド層を形成することで、狭いシリサイド層のシート抵抗の上昇を防止することができるから、細くかつシート抵抗の小さなシリサイド層を形成することができる半導体装置の製造方法を提供することができ、半導体素子の性能向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の実施例断面工程図

【図3】 本発明の効果説明図

【図4】 従来の実施例トランジスタ平面図

【図5】 従来の実施例断面工程図

【符号の説明】

2 高濃度不純物領域

2a ソース領域

2b ドレイン領域

3 ゲート電極(9 マスク)

4 側壁

5 金属

6, 6a シリサイド層

7 分離帯

8 配線

9 マスク

9a 開口

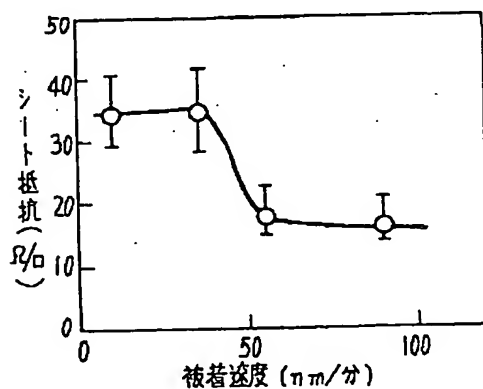
10 基板

10a シリコン表出面

11 コンタクトホール

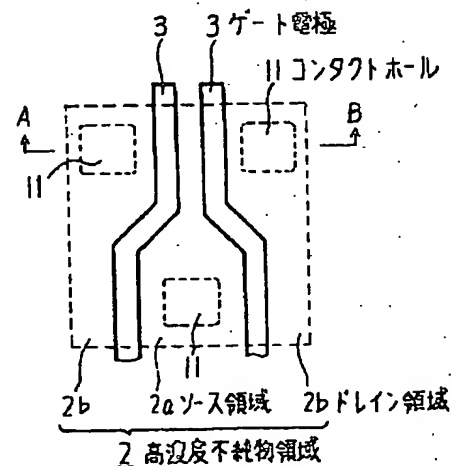
【図1】

本発明の原理説明図



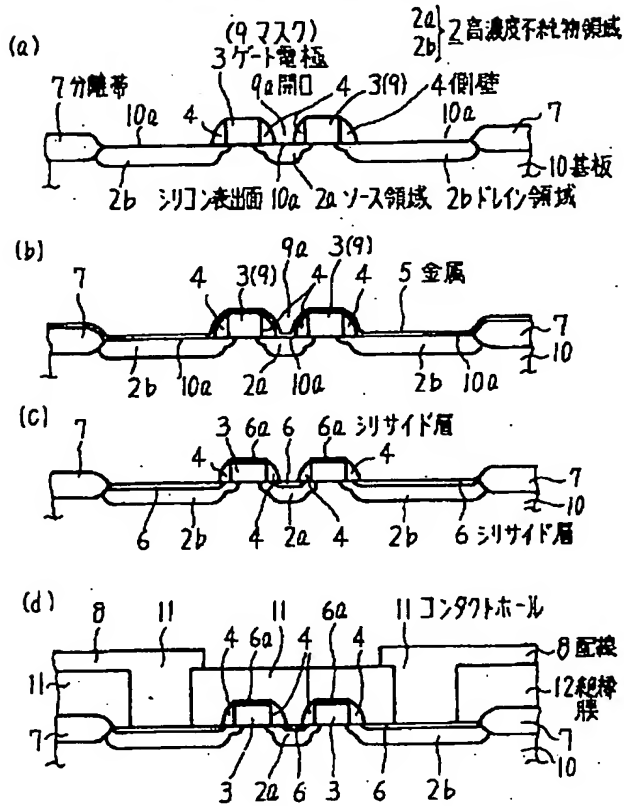
【図4】

従来の実施例トランジスタ平面図



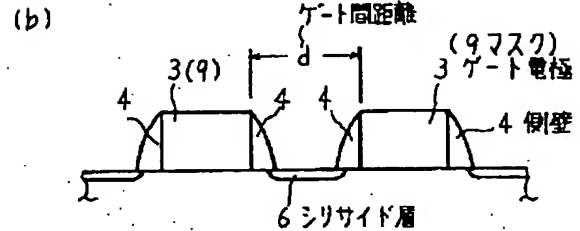
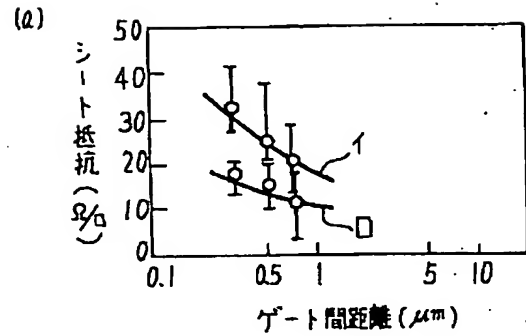
【図2】

本発明の実施例断面工程図



【図3】

本発明の効果説明図



従来の実施例断面工程図

